

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 4 年 1 0 月 8 日

出 願 番 号  
Application Number: 特 願 2 0 0 4 - 2 9 6 4 7 9

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号  
J P 2 0 0 4 - 2 9 6 4 7 9  
The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

出 願 人  
Applicant(s): 株式会社リコー

2 0 0 5 年 1 0 月 1 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

中 嶋



BEST AVAILABLE COPY

【官 規 則】 付 訂 願  
【整理番号】 196713  
【提出日】 平成16年10月 8日  
【あて先】 特許庁長官殿  
【国際特許分類】 H03F 3/343  
【発明者】  
    【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
    【氏名】 野田 一平  
【特許出願人】  
    【識別番号】 000006747  
    【住所又は居所】 東京都大田区中馬込1丁目3番6号  
    【氏名又は名称】 株式会社リコー  
【代理人】  
    【識別番号】 100086405  
    【弁理士】  
    【氏名又は名称】 河宮 治  
    【電話番号】 06-6949-1261  
    【ファクシミリ番号】 06-6949-0361  
【選任した代理人】  
    【識別番号】 100098280  
    【弁理士】  
    【氏名又は名称】 石野 正弘  
    【電話番号】 06-6949-1261  
    【ファクシミリ番号】 06-6949-0361  
    【連絡先】 担当  
【手数料の表示】  
    【予納台帳番号】 163028  
    【納付金額】 16,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9808860

【請求項 1】

複数の定電流をそれぞれ生成して出力する定電流回路において、  
制御電極に入力される信号に応じた電流を生成して出力する第 1 のトランジスタと、  
該第 1 のトランジスタから出力された電流が供給される第 1 の p n 接合素子と、  
制御電極に入力される信号に応じた電流を生成して出力する第 2 のトランジスタと、  
該第 2 のトランジスタから出力された電流が供給される、第 1 の抵抗及び第 2 の p n 接合素子が直列に接続された第 1 の直列回路と、  
前記第 2 のトランジスタと該第 1 の抵抗との接続部の電圧が、前記第 1 のトランジスタと第 1 の p n 接合素子との接続部の電圧と等しくなるように前記第 1 及び第 2 の各トランジスタの動作制御を行う制御回路部と、  
前記第 1 の抵抗に流れる電流に比例した複数の電流をそれぞれ生成して出力する比例電流生成回路部と、  
を備え、

前記第 1 の抵抗は、前記第 1 及び第 2 の各 p n 接合素子に流れる電流密度の差によって生じる電位差に接続され、前記比例電流生成回路部は、前記制御回路部から第 2 のトランジスタに出力された制御信号が各制御電極にそれぞれ入力される複数の比例電流生成用トランジスタで構成され、前記第 1 の抵抗に流れる電流に比例した電流が該各比例電流生成用トランジスタで生成され出力されることを特徴とする定電流回路。

【請求項 2】

前記制御回路部は、前記第 2 のトランジスタと第 1 の抵抗との接続部の電圧、及び前記第 1 のトランジスタと第 1 の p n 接合素子との接続部の電圧が対応する入力端にそれぞれ入力された演算増幅回路をなし、前記第 1 及び第 2 の各トランジスタ並びに前記各比例電流生成用トランジスタは、該演算増幅回路によって動作制御されることを特徴とする請求項 1 記載の定電流回路。

【請求項 3】

前記第 1 の抵抗は、第 1 及び第 2 の各 p n 接合素子に流れる電流密度の差によって生じる電位差の温度特性を相殺する温度特性を有することを特徴とする請求項 1 又は 2 記載の定電流回路。

【請求項 4】

前記制御回路部から制御電極に入力される信号に応じた電流を生成して出力する第 3 のトランジスタと、

該第 3 のトランジスタから出力された電流が供給される、第 2 の抵抗及び第 3 の p n 接合素子が直列に接続された第 2 の直列回路と、  
を備え、

前記第 3 のトランジスタと第 2 の抵抗との接続部の電圧を所定の基準電圧として出力することを特徴とする請求項 1、2 又は 3 記載の定電流回路。

【請求項 5】

前記第 1 及び第 2 の各抵抗は、前記第 3 の p n 接合素子の両端電圧における温度特性に起因する前記基準電圧の変動を相殺するように、各抵抗値及び各温度係数がそれぞれ設定されることを特徴とする請求項 4 記載の定電流回路。

【請求項 6】

前記第 1 及び第 2 の各トランジスタは、ソースとゲートがそれぞれ共通接続された MOS トランジスタであり、前記各比例電流生成用トランジスタは、第 1 及び第 2 の各トランジスタとソース及びゲートがそれぞれ共通接続された MOS トランジスタであることを特徴とする請求項 1、2 又は 3 記載の定電流回路。

【請求項 7】

前記第 1 から第 3 の各トランジスタは、ソースとゲートがそれぞれ共通接続された MOS トランジスタであり、前記各比例電流生成用トランジスタは、第 1 から第 3 の各トランジスタとソース及びゲートがそれぞれ共通接続された MOS トランジスタであることを特

【請求項 8】

所定の定電圧を生成して対応する負荷にそれぞれ出力する複数の定電圧回路を備えたシステム電源装置において、

複数の所定の定電流をそれぞれ生成し対応する前記各定電圧回路にバイアス電流として供給する定電流回路を備え、

該定電流回路は、

制御電極に入力される信号に応じた電流を生成して出力する第 1 のトランジスタと、

該第 1 のトランジスタから出力された電流が供給される第 1 の p n 接合素子と、

制御電極に入力される信号に応じた電流を生成して出力する第 2 のトランジスタと、

該第 2 のトランジスタから出力された電流が供給される、第 1 の抵抗及び第 2 の p n 接合素子が直列に接続された第 1 の直列回路と、

前記第 2 のトランジスタと該第 1 の抵抗との接続部の電圧が、前記第 1 のトランジスタと第 1 の p n 接合素子との接続部の電圧と等しくなるように前記第 1 及び第 2 の各トランジスタの動作制御を行う制御回路部と、

前記第 1 の抵抗に流れる電流に比例した複数の電流をそれぞれ生成して出力する比例電流生成回路部と、

を備え、

前記第 1 の抵抗は、前記第 1 及び第 2 の各 p n 接合素子に流れる電流密度の差によって生じる電位差に接続され、前記比例電流生成回路部は、前記制御回路部から第 2 のトランジスタに出力された制御信号が各制御電極にそれぞれ入力される複数の比例電流生成用トランジスタで構成され、前記第 1 の抵抗に流れる電流に比例した電流が該各比例電流生成用トランジスタで生成され出力されることを特徴とするシステム電源装置。

【請求項 9】

前記制御回路部は、前記第 2 のトランジスタと第 1 の抵抗との接続部の電圧、及び前記第 1 のトランジスタと第 1 の p n 接合素子との接続部の電圧が対応する入力端にそれぞれ入力された演算増幅回路をなし、前記第 1 及び第 2 の各トランジスタ並びに前記各比例電流生成用トランジスタは、該演算増幅回路によって動作制御されることを特徴とする請求項 8 記載のシステム電源装置。

【請求項 10】

前記第 1 の抵抗は、第 1 及び第 2 の各 p n 接合素子に流れる電流密度の差によって生じる電位差の温度特性を相殺する温度特性を有することを特徴とする請求項 8 又は 9 記載のシステム電源装置。

【請求項 11】

前記定電流回路は、

前記制御回路部から制御電極に入力される信号に応じた電流を生成して出力する第 3 のトランジスタと、

該第 3 のトランジスタから出力された電流が供給される、第 2 の抵抗及び第 3 の p n 接合素子が直列に接続された第 2 の直列回路と、

を備え、

前記第 3 のトランジスタと第 2 の抵抗との接続部の電圧を所定の基準電圧として少なくとも 1 つの前記定電圧回路に供給することを特徴とする請求項 8、9 又は 10 記載のシステム電源装置。

【請求項 12】

前記第 1 及び第 2 の各抵抗は、前記第 3 の p n 接合素子の両端電圧における温度特性に起因する前記基準電圧の変動を相殺するように、各抵抗値及び各温度係数がそれぞれ設定されることを特徴とする請求項 11 記載のシステム電源装置。

【請求項 13】

前記第 1 及び第 2 の各トランジスタは、ソースとゲートがそれぞれ共通接続された MOS トランジスタであり、前記各比例電流生成用トランジスタは、第 1 及び第 2 の各ラン

ンゲノとノーゲノのノードがそれぞれ共通接続されたMOSトランジスタであることを特徴とする請求項 8、9 又は 10 記載のシステム電源装置。

【請求項 14】

前記第 1 から第 3 の各トランジスタは、ソースとゲートがそれぞれ共通接続された MOS トランジスタであり、前記各比例電流生成用トランジスタは、第 1 から第 3 の各トランジスタとソース及びゲートがそれぞれ共通接続された MOS トランジスタであることを特徴とする請求項 11 又は 12 記載のシステム電源装置。

【発明の名称】 定電流回路及びその定電流回路を使用したシステム電源装置

【技術分野】

【0001】

本発明は、複数の定電流を生成して出力する定電流回路及びその定電流回路を使用したシステム電源装置に関し、特にシステム電源装置を構成する複数の定電圧回路がそれぞれ有する誤差増幅回路や短絡保護回路等に必要な各バイアス電流を高精度に生成してそれぞれ供給する定電流回路及びその定電流回路を使用したシステム電源装置に関する。

【背景技術】

【0002】

最近では電子機器の機能が豊富になり、これに伴って各機能に必要な電源の特性も多様化しており、多くの種類の電源が必要になってきた。このため、図8に示すように、複数の定電圧回路 $REGX1 \sim REGXn$  ( $n$ は、 $n > 1$ の整数)を1チップに集積し、各定電圧回路 $REGX1 \sim REGXn$ から対応する負荷 $Lo1 \sim Lon$ に電力を供給すると共に、制御回路(図示せず)によって各定電圧回路 $REGX1 \sim REGXn$ をトータル的に制御する、いわゆるシステム電源装置が用いられるようになってきた。

図9は、図8の定電圧回路 $REGX1 \sim REGXn$ の回路例を示した回路図であり、定電圧回路 $REGX1 \sim REGXn$ は同じ回路構成であることから、図9では、任意の定電圧回路 $REGXk$  ( $k = 0 \sim n$ )を例にして示している。

【0003】

定電圧回路 $REGXk$ は、基準電圧発生回路 $REFk$ 、誤差増幅回路 $APk$ 、出力電圧制御用トランジスタ $PBk$ 及び出力電圧検出用抵抗 $RXk$ 、 $RYk$ で構成され、生成した出力電圧 $Vo k$ を対応する負荷 $Lo k$ に出力する。

基準電圧発生回路 $REFk$ は、ディプレッション型NMOSTランジスタ $NAk$ とエンハンスメント型NMOSTランジスタ(以下、エンハンスメント型NMOSTランジスタは単にNMOSTランジスタと呼び、エンハンスメント型PMOSTランジスタは単にPMOSTランジスタと呼ぶ) $NBk$ とで構成されている。ディプレッション型NMOSTランジスタ $NAk$ において、ドレインが電源 $Vdd$ に接続されると共に、ゲートとソースが接続しているため、ディプレッション型NMOSTランジスタ $NAk$ のドレイン電流は、ディプレッション型NMOSTランジスタ $NAk$ のゲート・ソース間電圧 $Vgs = 0$ のときの電流で定電流になる。

【0004】

ディプレッション型NMOSTランジスタ $NAk$ のソースにはNMOSTランジスタ $NBk$ のドレインが接続され、NMOSTランジスタ $NBk$ において、ソースは接地電圧に接続され、ゲートはドレインに接続されている。このため、NMOSTランジスタ $NBk$ のドレイン電流は、定電流であるディプレッション型NMOSTランジスタ $NAk$ のドレイン電流と等しくなる。このことから、NMOSTランジスタ $NBk$ のゲート電圧は、ディプレッション型NMOSTランジスタ $NAk$ のドレイン電流によって決定される電圧に設定され、該電圧が基準電圧発生回路 $REFk$ から出力される基準電圧 $Vrefk$ となる。

誤差増幅回路 $APk$ は、出力電圧 $Vo k$ を出力電圧検出用抵抗 $RXk$ 及び $RYk$ で分圧した電圧 $VXk$ が、基準電圧 $Vrefk$ になるように出力電圧制御用トランジスタ $PBk$ の動作制御を行う。

【0005】

一方、システム電源装置では、多い場合は1チップ上に20以上の定電圧回路が形成されているため、定電圧回路ごとにバイアス電流設定回路や基準電圧発生回路を設けると、半導体チップ全体の面積が大きくなってしまいうという問題があった。このような問題を解決するため、電源電圧と接地電圧との間にPMOSTランジスタとNMOSTランジスタを直列に接続し、該直列回路によって電源電圧を分圧した電圧に、多数のNMOSTランジスタとPMOSTランジスタのゲートをそれぞれ接続し、多数のアナログ基本回路にバ

【特許文献1】特開平8-321731号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、製造工程におけるプロセス変動や、同じウエハ上でもチップの位置の違いによって、MOSトランジスタの特性は変化する。このため、図9において、誤差増幅回路APkの差動対をなすNMOSトランジスタNCk、NDk及び誤差増幅回路APkの出力段をなすPMOSトランジスタPEkへのバイアス電流値は大きくばらつくという問題があった。また、ディプレッション型NMOSトランジスタNAkの0バイアス時におけるドレイン電流のばらつきは-50%~+100%と大きく、しかも、温度特性も使用温度範囲(-30℃~85℃)で±20~30%もある。このため、基準電圧発生回路REFkから出力される基準電圧Vrefkや、NMOSトランジスタNBkのドレイン電流が製造プロセス及び温度の各変動に伴って大きく変化し、基準電圧発生回路REFkの特性が変化して基準電圧Vrefkが変化するという問題があった。基準電圧Vrefkの変化は、直接、出力電圧Vokの変化に結びつくので、出力電圧検出用抵抗RXk及びRYkの抵抗比をトリミング等で調整する必要があった。

【0007】

システム電源装置では、1チップ内に20以上の定電圧回路が収納されている場合もあり、各定電圧回路に含まれている誤差増幅回路のバイアス電流や定電流負荷の値が大きくバラツクと、システム電源装置の消費電流が規格を超えてしまうという問題が発生する。また、誤差増幅回路の位相補償の量はバイアス電流値によって変化するため、最適な位相補償がなされない等の問題が発生する。更に、バイアス電流の変化はリプル除去率、入力電圧応答特性、出力電圧応答特性等の定電圧回路に要求されるさまざまな特性を変化させるため、仕様通りの特性を得るためにはバイアス電流を所定の電流値範囲に収める必要があった。

【0008】

本発明は、上記のような問題を解決するためになされたものであり、製造プロセスの変動や温度変動に対する変動を低減させて高精度の複数の定電流を生成しバイアス電流として供給することができる定電流回路及びその定電流回路を使用したシステム電源装置を得ることを目的とする。

【課題を解決するための手段】

【0009】

この発明に係る定電流回路は、複数の定電流をそれぞれ生成して出力する定電流回路において、

制御電極に入力される信号に応じた電流を生成して出力する第1のトランジスタと、  
該第1のトランジスタから出力された電流が供給される第1のpn接合素子と、  
制御電極に入力される信号に応じた電流を生成して出力する第2のトランジスタと、  
該第2のトランジスタから出力された電流が供給される、第1の抵抗及び第2のpn接合素子が直列に接続された第1の直列回路と、

前記第2のトランジスタと該第1の抵抗との接続部の電圧が、前記第1のトランジスタと第1のpn接合素子との接続部の電圧と等しくなるように前記第1及び第2の各トランジスタの動作制御を行う制御回路部と、

前記第1の抵抗に流れる電流に比例した複数の電流をそれぞれ生成して出力する比例電流生成回路部と、

を備え、

前記第1の抵抗は、前記第1及び第2の各pn接合素子に流れる電流密度の差によって生じる電位差に接続され、前記比例電流生成回路部は、前記制御回路部から第2のトランジスタに出力された制御信号が各制御電極にそれぞれ入力される複数の比例電流生成用ト

トランジスタで構成され、前記第1の抵抗に流れる電流に比例した電流が該比例電流生成用トランジスタで生成され出力されるものである。

#### 【0010】

具体的には、前記制御回路部は、前記第2のトランジスタと第1の抵抗との接続部の電圧、及び前記第1のトランジスタと第1のpn接合素子との接続部の電圧が対応する入力端にそれぞれ入力された演算増幅回路をなし、前記第1及び第2の各トランジスタ並びに前記各比例電流生成用トランジスタは、該演算増幅回路によって動作制御されるようにした。

#### 【0011】

また、前記第1の抵抗は、第1及び第2の各pn接合素子に流れる電流密度の差によって生じる電位差の温度特性を相殺する温度特性を有するようにした。

#### 【0012】

更に、前記制御回路部から制御電極に入力される信号に応じた電流を生成して出力する第3のトランジスタと、

該第3のトランジスタから出力された電流が供給される、第2の抵抗及び第3のpn接合素子が直列に接続された第2の直列回路と、  
を備え、

前記第3のトランジスタと第2の抵抗との接続部の電圧を所定の基準電圧として出力するようにしてもよい。

#### 【0013】

また、前記第1及び第2の各抵抗は、前記第3のpn接合素子の両端電圧における温度特性に起因する前記基準電圧の変動を相殺するように、各抵抗値及び各温度係数がそれぞれ設定されるようにした。

#### 【0014】

また、前記第1及び第2の各トランジスタは、ソースとゲートがそれぞれ共通接続されたMOSトランジスタであり、前記各比例電流生成用トランジスタは、第1及び第2の各トランジスタとソース及びゲートがそれぞれ共通接続されたMOSトランジスタであるようにしてもよい。

#### 【0015】

また、前記第1から第3の各トランジスタは、ソースとゲートがそれぞれ共通接続されたMOSトランジスタであり、前記各比例電流生成用トランジスタは、第1から第3の各トランジスタとソース及びゲートがそれぞれ共通接続されたMOSトランジスタであるようにしてもよい。

#### 【0016】

また、この発明に係るシステム電源装置は、所定の定電圧を生成して対応する負荷にそれぞれ出力する複数の定電圧回路を備えたシステム電源装置において、

複数の所定の定電流をそれぞれ生成し対応する前記各定電圧回路にバイアス電流として供給する定電流回路を備え、

該定電流回路は、

制御電極に入力される信号に応じた電流を生成して出力する第1のトランジスタと、

該第1のトランジスタから出力された電流が供給される第1のpn接合素子と、

制御電極に入力される信号に応じた電流を生成して出力する第2のトランジスタと、

該第2のトランジスタから出力された電流が供給される、第1の抵抗及び第2のpn接合素子が直列に接続された第1の直列回路と、

前記第2のトランジスタと該第1の抵抗との接続部の電圧が、前記第1のトランジスタと第1のpn接合素子との接続部の電圧と等しくなるように前記第1及び第2の各トランジスタの動作制御を行う制御回路部と、

前記第1の抵抗に流れる電流に比例した複数の電流をそれぞれ生成して出力する比例電流生成回路部と、

を備え、

前記第1の抵抗は、前記第1及び第2の各pn接合素子に流れる電流密度の差によって生じる電位差に接続され、前記比例電流生成回路部は、前記制御回路部から第2のトランジスタに出力された制御信号が各制御電極にそれぞれ入力される複数の比例電流生成用トランジスタで構成され、前記第1の抵抗に流れる電流に比例した電流が該各比例電流生成用トランジスタで生成され出力されるものである。

#### 【0017】

具体的には、前記制御回路部は、前記第2のトランジスタと第1の抵抗との接続部の電圧、及び前記第1のトランジスタと第1のpn接合素子との接続部の電圧が対応する入力端にそれぞれ入力された演算増幅回路をなし、前記第1及び第2の各トランジスタ並びに前記各比例電流生成用トランジスタは、該演算増幅回路によって動作制御されるようにした。

#### 【0018】

また、前記第1の抵抗は、第1及び第2の各pn接合素子に流れる電流密度の差によって生じる電位差の温度特性を相殺する温度特性を有するようにした。

#### 【0019】

更に、前記定電流回路は、

前記制御回路部から制御電極に入力される信号に応じた電流を生成して出力する第3のトランジスタと、

該第3のトランジスタから出力された電流が供給される、第2の抵抗及び第3のpn接合素子が直列に接続された第2の直列回路と、  
を備え、

前記第3のトランジスタと第2の抵抗との接続部の電圧を所定の基準電圧として少なくとも1つの前記定電圧回路に供給するようにしてもよい。

#### 【0020】

また、前記第1及び第2の各抵抗は、前記第3のpn接合素子の両端電圧における温度特性に起因する前記基準電圧の変動を相殺するように、各抵抗値及び各温度係数がそれぞれ設定されるようにした。

#### 【0021】

また、前記第1及び第2の各トランジスタは、ソースとゲートがそれぞれ共通接続されたMOSトランジスタであり、前記各比例電流生成用トランジスタは、第1及び第2の各トランジスタとソース及びゲートがそれぞれ共通接続されたMOSトランジスタであるようにしてもよい。

#### 【0022】

また、前記第1から第3の各トランジスタは、ソースとゲートがそれぞれ共通接続されたMOSトランジスタであり、前記各比例電流生成用トランジスタは、第1から第3の各トランジスタとソース及びゲートがそれぞれ共通接続されたMOSトランジスタであるようにしてもよい。

#### 【発明の効果】

#### 【0023】

本発明の定電流回路によれば、前記第1及び第2の各pn接合素子に流れる電流密度の差によって生じる電位差に前記第1の抵抗を接続し、前記制御回路部から第2のトランジスタに出力された制御信号が各制御電極にそれぞれ入力される複数の比例電流生成用トランジスタで、前記第1の抵抗に流れる電流に比例した電流がそれぞれ生成され出力されるようにした。このことから、製造プロセスの変動や温度変動に対する変動を低減させて高精度の複数の定電流を生成して供給することができる。また、所定の定電圧を生成して対応する負荷にそれぞれ出力する複数の定電圧回路を備えたシステム電源装置において、複数の所定の定電流をそれぞれ生成し対応する前記各定電圧回路にバイアス電流として供給するために、このような定電流回路を使用するようにしたことから、定電圧回路の性能のばらつきを小さくすることができ、高精度の定電圧を生成して負荷に供給することができる。

更に、前記定電流回路に、前記制御回路部から制御電極に入力される信号に応じた電流を生成して出力する第3のトランジスタと、該第3のトランジスタから出力された電流が供給される、第2の抵抗及び第3のpn接合素子が直列に接続された第2の直列回路とを備え、前記第3のトランジスタと第2の抵抗との接続部の電圧を所定の基準電圧として出力するようにしたこと、から、基準電圧を発生させる回路を別途設ける必要がなくなり、特に、所定の定電圧を生成して対応する負荷にそれぞれ出力する複数の定電圧回路を備えたシステム電源装置にこのような定電流回路を使用することにより、定電圧回路ごとに設けられていた基準電圧発生回路が不用となり、更に従来と比較して電圧のばらつきが小さく温度特性の良い高精度の基準電圧を得ることができるため、各定電圧回路のそれぞれの出力電圧を調整するためのトリミングをなくすことができると共に、システム電源装置のチップ面積を小さくすることができる。

【発明を実施するための最良の形態】

#### 【0025】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

#### 第1の実施の形態。

図1は、本発明の第1の実施の形態における定電流回路の構成例を示した図である。

図1において、定電流回路1は、複数の所定の定電流 $i_{o1} \sim i_{on}$  ( $n$ は、 $n > 1$ の整数)を生成して出力するものであり、所定の基準電流を生成する基準電流生成回路部2と、該基準電流生成回路部2で生成された基準電流に比例した複数の定電流 $i_{o1} \sim i_{on}$ をそれぞれ生成して出力する比例電流生成回路部3とで構成されている。

#### 【0026】

基準電流生成回路部2は、演算増幅回路AMP、2つのpnptランジスタQ1、Q2、抵抗R1及び2つのPMOSTランジスタM1、M2で構成されている。電源電圧V<sub>dd</sub>と接地電圧との間には、PMOSTランジスタM1及びpnptランジスタQ1が直列に接続されると共に、PMOSTランジスタM2、抵抗R1及びpnptランジスタQ2が直列に接続されている。PMOSTランジスタM1とpnptランジスタQ1との接続部は演算増幅回路AMPの反転入力端に接続され、PMOSTランジスタM2と抵抗R1との接続部は演算増幅回路AMPの非反転入力端に接続されている。PMOSTランジスタM1及びM2の各ゲートは演算増幅回路AMPの出力端にそれぞれ接続され、pnptランジスタQ1及びQ2の各ベースは接地電圧にそれぞれ接続されている。PMOSTランジスタM1のドレイン電流を $i_1$ とし、PMOSTランジスタM2のドレイン電流を $i_2$ とし、該電流 $i_2$ は前記基準電流をなす。

#### 【0027】

比例電流生成回路部3は、PMOSTランジスタMA1～MANで構成されている。PMOSTランジスタMA1～MANの各ソースはそれぞれ電源電圧V<sub>dd</sub>に接続され、PMOSTランジスタMA1～MANの各ゲートは、演算増幅回路AMPの出力端にそれぞれ接続されている。PMOSTランジスタMA1～MANの各ドレインから定電流 $i_{o1} \sim i_{on}$ が対応して出力される。なお、PMOSTランジスタM1は第1のトランジスタを、PMOSTランジスタM2は第2のトランジスタを、pnptランジスタQ1は第1のpn接合素子を、pnptランジスタQ2は第2のpn接合素子を、抵抗R1は第1の抵抗をそれぞれなす。また、抵抗R1とpnptランジスタQ2の直列回路は第1の直列回路を、演算増幅回路AMPは制御回路部をそれぞれなし、PMOSTランジスタMA1～MANはそれぞれ比例電流生成用トランジスタをなす。

#### 【0028】

このような構成において、PMOSTランジスタM1のドレイン電流 $i_1$ はpnptランジスタQ1のエミッタ電流に、PMOSTランジスタM2のドレイン電流 $i_2$ はpnptランジスタQ2のエミッタ電流になっている。PMOSTランジスタM1とM2は、同一特性のトランジスタを使用しており、図1のようにゲート・ソース間電圧を同一にすると、同じドレイン電流が流れる。

1 M O S ト ラ ン ジ ス タ M 1 の ド レ イ ン と 1 M O S ト ラ ン ジ ス タ M 2 の ド レ イ ン は て れ て れ 演 算 増 幅 回 路 A M P の 対 応 す る 入 力 端 に そ れ ぞ れ 接 続 さ れ て い る こ と か ら 、 演 算 増 幅 回 路 A M P に よ っ て 、 P M O S ト ラ ン ジ ス タ M 1 及 び M 2 の 各 ド レ イ ン 電 圧 が 同 電 圧 に な る よ う に P M O S ト ラ ン ジ ス タ M 1 及 び M 2 の 各 ゲ ー ト 電 圧 が 制 御 さ れ る。

#### 【 0 0 2 9 】

こ の 結 果 、 p n p ト ラ ン ジ ス タ Q 1 の ベ ー ス ・ エ ミ ッ タ 間 電 圧  $V_{be1}$  と 、 p n p ト ラ ン ジ ス タ Q 2 の ベ ー ス ・ エ ミ ッ タ 間 電 圧  $V_{be2}$  に 抵 抗  $R_1$  の 両 端 の 電 圧 を 加 え た 電 圧 と は 等 し く な る 。 p n p ト ラ ン ジ ス タ Q 2 の 素 子 サ イ ズ は p n p ト ラ ン ジ ス タ Q 1 の 素 子 サ イ ズ よ り 大 き く 作 ら れ て お り 、 同 じ エ ミ ッ タ 電 流 を 供 給 し た 場 合 に は 、 p n p ト ラ ン ジ ス タ Q 2 の ベ ー ス ・ エ ミ ッ タ 間 電 圧  $V_{be2}$  の 方 が p n p ト ラ ン ジ ス タ Q 1 の ベ ー ス ・ エ ミ ッ タ 間 電 圧  $V_{be1}$  よ り 低 い 電 圧 に な る よ う に し て い る。

#### 【 0 0 3 0 】

こ の こ と を 式 で 表 す と 下 記 ( 1 ) 式 の よ う に な る 。 な お 、 下 記 式 に お い て 、  $R_1$  は 抵 抗  $R_1$  の 抵 抗 値 を 示 し て い る。

$$V_{be1} = V_{be2} + i_2 \times R_1 \cdots \cdots (1)$$

$$i_2 = (1/R_1) \times (V_{be1} - V_{be2})$$

#### 【 0 0 3 1 】

$\Delta V_{be} = V_{be1} - V_{be2}$  と す る と 、 下 記 ( 2 ) 式 の よ う に な る。

$$i_2 = (1/R_1) \times \Delta V_{be} \cdots \cdots (2)$$

( 2 ) 式 よ り 、 P M O S ト ラ ン ジ ス タ M 2 の ド レ イ ン 電 流  $i_2$  の 値 は 、 p n p ト ラ ン ジ ス タ Q 1 と p n p ト ラ ン ジ ス タ Q 2 の 素 子 サ イ ズ の 差 と 抵 抗  $R_1$  の 抵 抗 値 で 決 ま る こ と が 分 か る。

#### 【 0 0 3 2 】

一 方 、  $\Delta V_{be}$  の 温 度 係 数 が 正 で あ る こ と か ら 、 抵 抗  $R_1$  の 温 度 係 数 を  $\Delta V_{be}$  の 温 度 係 数 を 相 殺 す る よ う に 選 ぶ こ と で 、 P M O S ト ラ ン ジ ス タ M 2 の ド レ イ ン 電 流  $i_2$  の 温 度 係 数 を 非 常 に 小 さ く す る こ と が で き る 。 抵 抗  $R_1$  の 抵 抗 値 と 温 度 係 数 の 製 造 ば ら つ き は 、 抵 抗 値 で  $\pm 5\%$  、 温 度 係 数 で  $\pm 5\%$  (  $-30^\circ\text{C} \sim 85^\circ\text{C}$  ) 程 度 で あ る 。 お お よ そ こ れ ら の 変 動 幅 が 基 準 電 流  $i_2$  の ば ら つ き に な る の で 、 従 来 と 比 較 し て 高 精 度 に 基 準 電 流 値 を 設 定 す る こ と が で き る。

比 例 電 流 生 成 回 路 部 3 の 各 P M O S ト ラ ン ジ ス タ M A 1  $\sim$  M A n か ら 出 力 さ れ る 各 定 電 流  $i_{o1} \sim i_{on}$  は 、 必 ず し も す べ て 同 じ 電 流 値 で あ る 必 要 は な く 、 P M O S ト ラ ン ジ ス タ M A 1  $\sim$  M A n の 素 子 の 大 き さ に よ っ て 任 意 に 設 定 す る こ と が で き る。

#### 【 0 0 3 3 】

図 2 は 、 図 1 の 定 電 流 回 路 1 を 使 用 し た シ ス テ ム 電 源 装 置 の 例 を 示 し た 図 で あ る。

図 2 に お い て 、 シ ス テ ム 電 源 装 置 1 0 は 、 所 定 の 定 電 圧  $V_{o1} \sim V_{on}$  を 生 成 し て 対 応 す る 負 荷  $L_{o1} \sim L_{on}$  に 出 力 す る 複 数 の 定 電 圧 回 路 R E G 1  $\sim$  R E G n と 、 定 電 流 回 路 1 と を 備 え て い る 。 定 電 圧 回 路 R E G 1  $\sim$  R E G n は 同 じ 回 路 構 成 を な し て い る こ と か ら 、 図 2 で は 、 任 意 の 定 電 圧 回 路 R E G k (  $k = 0 \sim n$  ) の み 内 部 回 路 例 を 示 し て お り 、 そ の 他 の 定 電 圧 回 路 は 定 電 圧 回 路 R E G k と 同 じ で あ る の で 内 部 回 路 を 省 略 し て 示 し て い る 。 以 下 、 定 電 圧 回 路 R E G k を 例 に し て 説 明 す る。

#### 【 0 0 3 4 】

定 電 圧 回 路 R E G k は 、 所 定 の 基 準 電 圧  $V_{rk}$  を 生 成 し て 出 力 す る 基 準 電 圧 発 生 回 路 G k と 、 誤 差 増 幅 回 路 A M P k と 、 出 力 電 圧 制 御 用 ト ラ ン ジ ス タ M B k と 、 出 力 電 圧 検 出 用 抵 抗 R A k , R B k と で 構 成 さ れ 、 生 成 し た 出 力 電 圧  $V_{ok}$  を 出 力 端 O U T k に 接 続 さ れ た 負 荷 L o k に 出 力 す る。

電 源 電 圧  $V_{dd}$  と 出 力 端 O U T k と の 間 に は 出 力 電 圧 制 御 用 ト ラ ン ジ ス タ M B k が 接 続 さ れ 、 出 力 端 O U T k と 接 地 電 圧 と の 間 に は 、 抵 抗 R A k 及 び R B k が 直 列 に 接 続 さ れ て い る 。 抵 抗 R A k 及 び R B k に よ っ て 出 力 電 圧  $V_{ok}$  を 分 圧 し て 生 成 さ れ た 分 圧 電 圧  $V_{dk}$  は 、 演 算 増 幅 回 路 A M P k の 反 転 入 力 端 に 入 力 さ れ 、 演 算 増 幅 回 路 A M P k の 非 反 転 入 力 端 に は 基 準 電 圧  $V_{rk}$  が 入 力 さ れ て い る 。 演 算 増 幅 回 路 A M P k の 出 力 端 は 出 力 電 圧 制

出力トランジスタ $M D_k$ のノードに接続され、演算増幅回路 $A M I_k$ は、分圧電圧 $V d_k$ が基準電圧 $V r_k$ になるように出力電圧制御用トランジスタ $M B_k$ の動作制御を行う。

#### 【0035】

一方、演算増幅回路 $A M P_k$ には、定電流回路1から定電流 $i o_k$ がバイアス電流として供給されている。

図3は、演算増幅回路 $A M P_k$ の回路例を示した図である。

図3において、演算増幅回路 $A M P_k$ は、PMOSトランジスタ $M C_k \sim M E_k$ 及びNMOSトランジスタ $M F_k \sim M J_k$ で構成されている。PMOSトランジスタ $M C_k$ 及び $M D_k$ はカレントミラー回路を形成しており、差動対をなすNMOSトランジスタ $M F_k$ 及び $M G_k$ の負荷をなす。PMOSトランジスタ $M C_k$ 及び $M D_k$ において、各ソースは電源電圧 $V d d$ にそれぞれ接続され、各ゲートは接続されて該接続部はPMOSトランジスタ $M C_k$ のドレインに接続されている。

#### 【0036】

PMOSトランジスタ $M C_k$ のドレインにはNMOSトランジスタ $M F_k$ のドレインが接続され、PMOSトランジスタ $M D_k$ のドレインにはNMOSトランジスタ $M G_k$ のドレインが接続されている。NMOSトランジスタ $M F_k$ のゲートは演算増幅回路 $A M P_k$ の非反転入力端をなし、基準電圧 $V r_k$ が入力されている。また、NMOSトランジスタ $M G_k$ のゲートは演算増幅回路 $A M P_k$ の反転入力端をなし、分圧電圧 $V d_k$ が入力されている。NMOSトランジスタ $M F_k$ 及び $M G_k$ の各ソースは接続され、該接続部と接地電圧との間にNMOSトランジスタ $M I_k$ が接続されている。

#### 【0037】

ここで、NMOSトランジスタ $M H_k \sim M J_k$ はカレントミラー回路を形成しており、NMOSトランジスタ $M H_k \sim M J_k$ の各ゲートは接続され、該接続部はNMOSトランジスタ $M H_k$ のドレインに接続され、該ドレインには定電流回路1からの定電流 $i o_k$ が入力されている。

また、電源電圧 $V d d$ と接地電圧との間には、PMOSトランジスタ $M E_k$ とNMOSトランジスタ $M J_k$ が直列に接続され、PMOSトランジスタ $M D_k$ とNMOSトランジスタ $M G_k$ の接続部がPMOSトランジスタ $M E_k$ のゲートに接続されている。また、PMOSトランジスタ $M E_k$ とNMOSトランジスタ $M J_k$ との接続部は、演算増幅回路 $A M P_k$ の出力端をなし出力電圧制御用トランジスタ $M B_k$ のゲートに接続されている。

#### 【0038】

このような構成において、PMOSトランジスタ $M C_k$ 、 $M D_k$ 及びNMOSトランジスタ $M F_k$ 、 $M G_k$ 、 $M I_k$ は差動増幅段を形成し、NMOSトランジスタ $M H_k$ 及び $M I_k$ のカレントミラー回路によって、定電流 $i o_k$ に比例した電流がバイアス電流として差動対をなすNMOSトランジスタ $M F_k$ 及び $M G_k$ にそれぞれ供給される。また、PMOSトランジスタ $M E_k$ 及びNMOSトランジスタ $M J_k$ は増幅段を形成し、NMOSトランジスタ $M H_k$ 及び $M J_k$ のカレントミラー回路によって、定電流 $i o_k$ に比例した電流がバイアス電流としてPMOSトランジスタ $M E_k$ に供給される。このようにして、演算増幅回路 $A M P_k$ に定電流回路1からの定電流 $i o_k$ がバイアス電流として供給される。

#### 【0039】

なお、図1では、PMOSトランジスタ及びpnpトランジスタを使用して定電流回路1を形成する場合を例にして示したが、NMOSトランジスタ及びnpnトランジスタを使用して定電流回路1を形成するようにしてもよく、このようにした場合、図1は図4のようになる。図4では、図1に対応するものは図1と同じ符号で示している。また、図1では、pnpトランジスタ $Q 1$ 及び $Q 2$ の各ベースは接地電圧に接続するようにしたが、図5で示すように、pnpトランジスタ $Q 1$ 及び $Q 2$ の代わりにベースとコレクタが接続されたnpnトランジスタを使用してもよい。なお、図5においても、図1に対応するものは図1と同じ符号で示している。

#### 【0040】

このように、本第1の実施の形態における定電流回路は、MOSトランジスタM1及びM2から流れる各電流*i*<sub>1</sub>及び*i*<sub>2</sub>の一方の電流の変動に対して負帰還がかけられてその変動を打ち消すように、演算増幅回路AMPがMOSトランジスタM1及びM2の動作制御を行い、MOSトランジスタM1及びM2から対応して電流が供給される2つのバイポーラトランジスタQ1及びQ2に流れる電流密度の差によって生じる電位差に接続した抵抗R1に流れる定電流を基準電流とし、演算増幅回路AMPによって動作制御されたMOSトランジスタMA1～MANで該基準電流に比例した各電流をそれぞれ生成して出力するようにした。このことから、製造プロセスの変動や温度変動に対する変動を低減させて高精度の複数の定電流を生成しバイアス電流として供給することができる。

#### 【0041】

また、本第1の実施の形態における定電流回路で生成された各定電流をシステム電源装置10が有する複数の定電圧回路REG1～REGnのバイアス電流として供給するようにしたことから、各定電圧回路の性能のばらつきを小さくすることができ、システム電源装置全体の消費電流のばらつきが小さくなり、各誤差増幅回路の位相補償も安定し、更にリップル除去率、入力電圧応答特性及び出力電圧応答特性等、定電圧回路に要求されるさまざまな特性の安定化を実現することができる。

#### 【0042】

第2の実施の形態。

前記第1の実施の形態では、各定電圧回路REG1～REGnにそれぞれ基準電圧発生回路G1～Gnを備えるようにしたが、各定電圧回路REG1～REGnの内、使用する基準電圧が同じである定電圧回路がある場合、定電流回路1で該基準電圧を生成して該定電圧回路にそれぞれ供給するようにしてもよく、このようにしたものを本発明の第2の実施の形態とする。

図6は、本発明の第2の実施の形態における定電流回路の構成例を示した図である。なお、図6では、図1と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に図1との相違点のみ説明する。また、図6では、各定電圧回路で使用する基準電圧がすべて同じである場合を例にして示している。

#### 【0043】

図6における図1との相違点は、演算増幅回路AMPによって動作制御されるPMOSトランジスタM3、pnpトランジスタQ3及び抵抗R2からなる基準電圧発生回路部4を備えたことにあり、これに伴って、図1の定電流回路1を定電流回路1aにした。

図6において、定電流回路1aは、複数の所定の定電流*i*<sub>o1</sub>～*i*<sub>on</sub>及び所定の基準電圧V<sub>r</sub>を生成して出力するものであり、基準電流生成回路部2と、比例電流生成回路部3と、所定の基準電圧V<sub>r</sub>を生成して出力する基準電圧発生回路部4とで構成されている。

#### 【0044】

基準電圧発生回路部4は、PMOSトランジスタM3、pnpトランジスタQ3及び抵抗R2で構成され、電源電圧V<sub>dd</sub>と接地電圧との間にPMOSトランジスタM3、抵抗R3及びpnpトランジスタQ3が直列に接続されている。PMOSトランジスタM3のゲートは演算増幅回路AMPの出力端に接続され、pnpトランジスタQ3のゲートは接地電圧に接続されている。PMOSトランジスタM3と抵抗R2との接続部から基準電圧V<sub>r</sub>が出力される。なお、pnpトランジスタQ3は第3のトランジスタを、抵抗R2は第2の抵抗を、pnpトランジスタQ3は第3のpn接合素子をそれぞれなし、抵抗R2とpnpトランジスタQ3の直列回路が第2の直列回路をなす。

#### 【0045】

このような構成において、基準電圧V<sub>r</sub>は下記(3)式で表される。なお、下記(3)式において、pnpトランジスタQ3のベース・エミッタ間電圧をV<sub>be3</sub>とし、抵抗R2の抵抗値をR2とし、PMOSトランジスタM3から出力される電流を*i*<sub>3</sub>としている。

$$V_r = V_{be3} + i_3 \times R_2 = V_{be3} + R_2 / R_1 \times \Delta V_{be} \dots \dots (3)$$

前記(3)ノ式において、 $\mu V_{be}$ は其の温度係数を持つ、 $\mu V_{be}$ は正の温度係数を持つ。このことから、 $R_2/R_1$ の値と温度係数を適切に選択することで基準電圧 $V_r$ の温度係数を非常に小さくすることができる。

#### 【0046】

図7は、図6の定電流回路1aを使用したシステム電源装置の例を示した図である。なお、図7では、図2と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に図2との相違点のみ説明する。

図7における図2との相違点は、図1の定電圧回路 $REG_1 \sim REG_n$ から基準電圧発生回路 $G_1 \sim G_n$ をなくし、誤差増幅回路 $AMP_1 \sim AMP_n$ の各非反転入力端に定電流回路1aからの基準電圧 $V_r$ をそれぞれ入力するようにしたことにより、これに伴って、図2の定電圧回路 $REG_1 \sim REG_n$ を定電圧回路 $REG_{a1} \sim REG_{an}$ にし、図2の定電流回路1を定電流回路1aに、図2のシステム電源装置10をシステム電源装置10aにそれぞれした。

#### 【0047】

このように、本第2の実施の形態における定電流回路は、前記第1の実施の形態の定電流回路に、所定の基準電圧 $V_r$ を生成して出力する基準電圧発生回路部4を備えるようにした。このことから、前記第1の実施の形態と同様の効果を得ることができ、更に、複数の定電圧回路を有するシステム電源装置において、各定電圧回路で必要とする基準電圧を定電流回路からそれぞれ供給することができ、各定電圧回路に基準電圧発生回路を設ける必要をなくすことができることから該各基準電圧発生回路を形成する面積が不用になり、電圧のばらつきが小さく温度特性の優れた高精度の基準電圧を得ることができる。このため、各定電圧回路のそれぞれの出力電圧を調整するためのトリミングをなくすことができると共に、システム電源装置のチップ面積を小さくすることができる。

#### 【0048】

なお、前記第1及び第2の各実施の形態では、説明を分かりやすくするために、各定電圧回路がすべて同じ回路構成をなしている場合を例にして説明したが、本発明は、これに限定するものではなく、各定電圧回路がすべて同じ回路構成をなしていなくてもよく、複数の定電圧回路が定電流回路からのバイアス電流を供給される構成をなしていればよい。また、前記第2の実施の形態では、説明を分かりやすくするために、定電圧回路 $REG_{a1} \sim REG_{an}$ で使用する基準電圧がすべて同じである場合を例にして説明したが、本発明は、これに限定するものではなく、少なくとも1つの定電圧回路が定電流回路1aからの基準電圧 $V_r$ を使用する場合に適用するものである。

#### 【図面の簡単な説明】

#### 【0049】

【図1】 本発明の第1の実施の形態における定電流回路の構成例を示した図である。

【図2】 図1の定電流回路1を使用したシステム電源装置の例を示した図である。

【図3】 図2の演算増幅回路 $AMP_k$ の回路例を示した図である。

【図4】 本発明の第1の実施の形態における定電流回路の他の構成例を示した図である。

【図5】 本発明の第1の実施の形態における定電流回路の他の構成例を示した図である。

【図6】 本発明の第2の実施の形態における定電流回路の構成例を示した図である。

【図7】 図6の定電流回路1aを使用したシステム電源装置の例を示した図である。

【図8】 従来のシステム電源装置の例を示した図である。

【図9】 図8の定電圧回路 $REG_1 \sim REG_n$ の回路例を示した回路図である。

#### 【符号の説明】

#### 【0050】

- 1, 1a 定電流回路
- 2 基準電圧生成回路部
- 3 比例電圧生成回路部

AMP 演算増幅回路

M1～M3, MA1～MA<sub>n</sub> PMOSトランジスタ

Q1～Q3 pnpトランジスタ

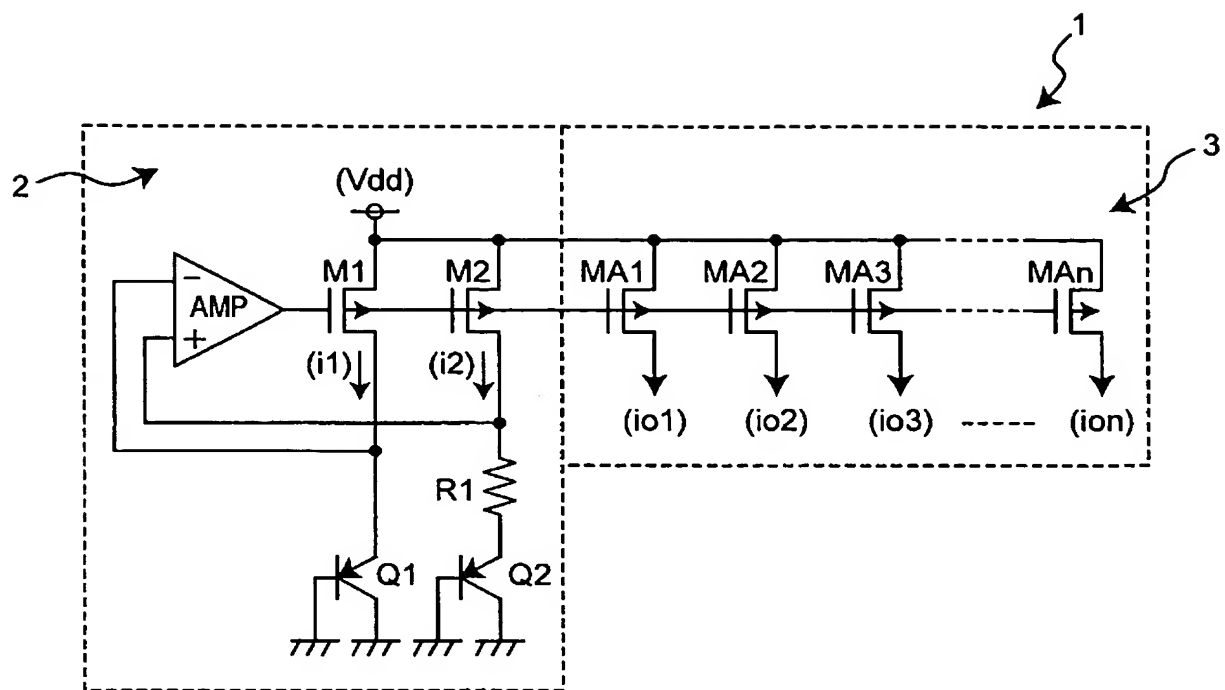
R1, R2, RA1～RA<sub>n</sub>, RB1～RB<sub>n</sub> 抵抗

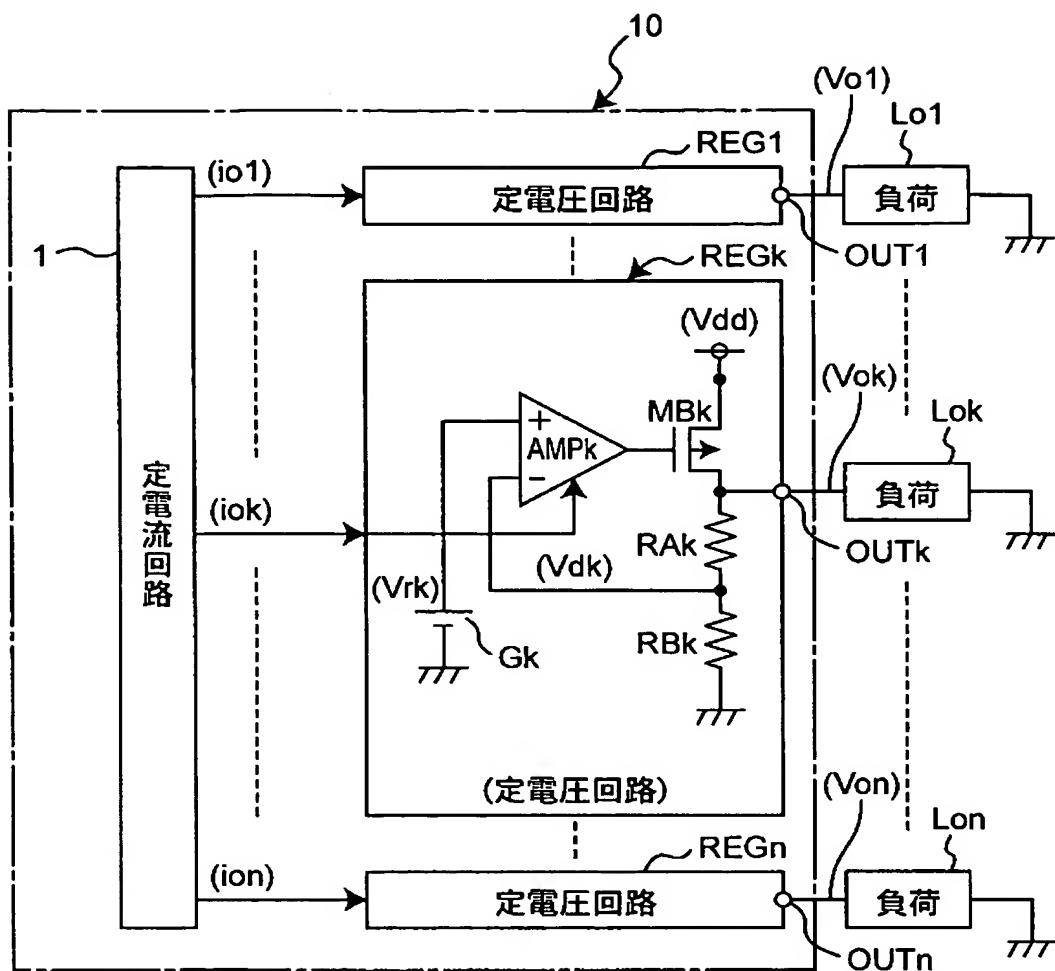
REG1～REG<sub>n</sub>, REGa1～REGa<sub>n</sub> 定電圧回路

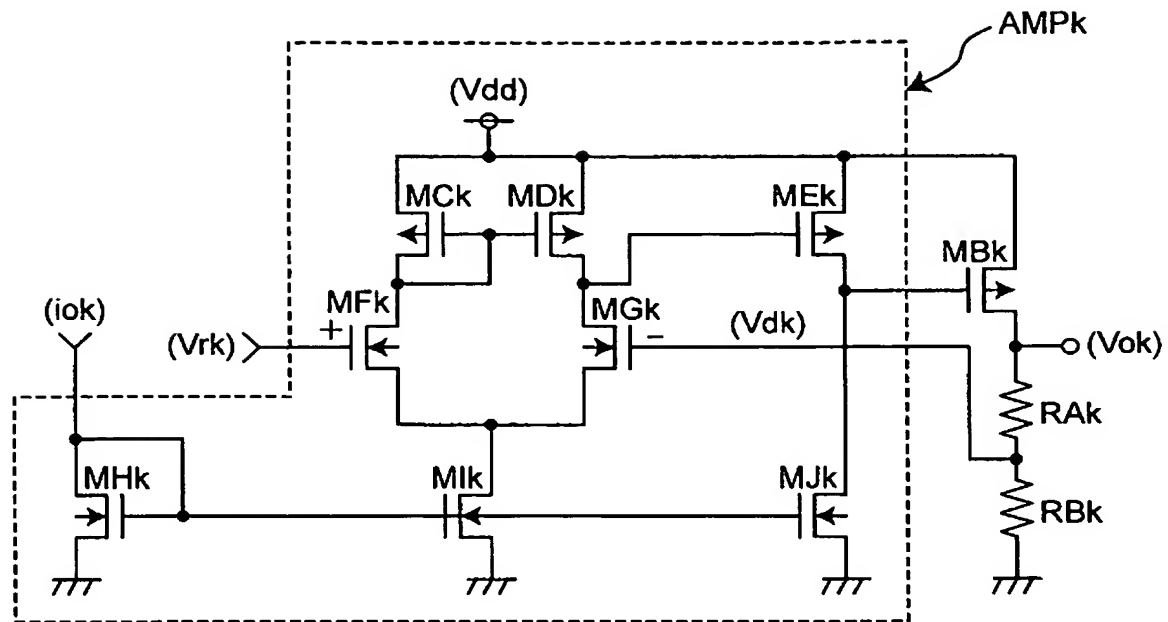
G1～G<sub>n</sub> 基準電圧発生回路

AMP1～AMP<sub>n</sub> 誤差増幅回路

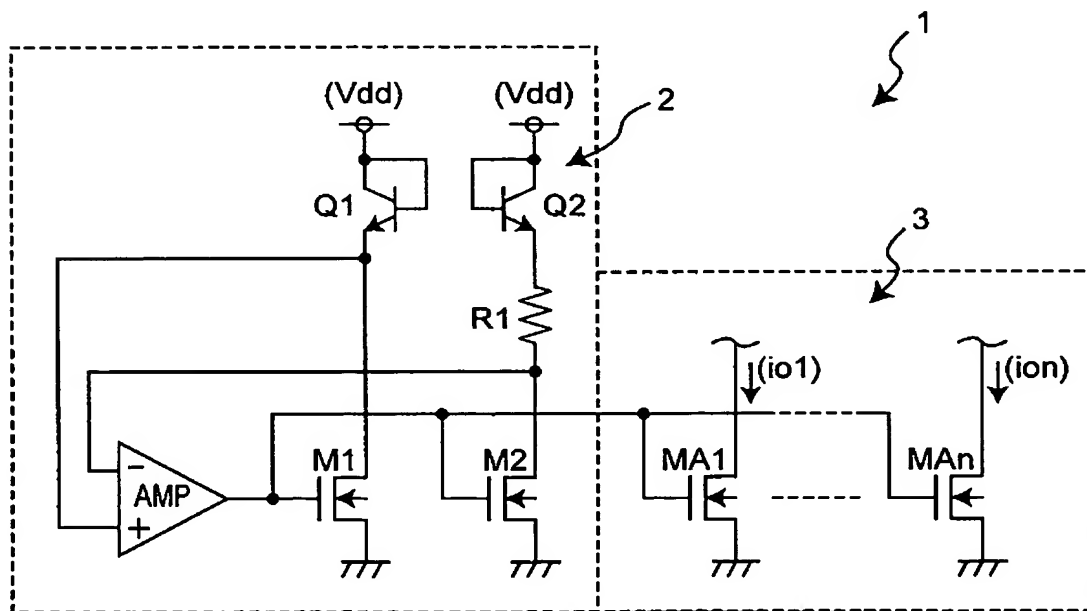
MB1～MB<sub>n</sub> 出力電圧制御用トランジスタ

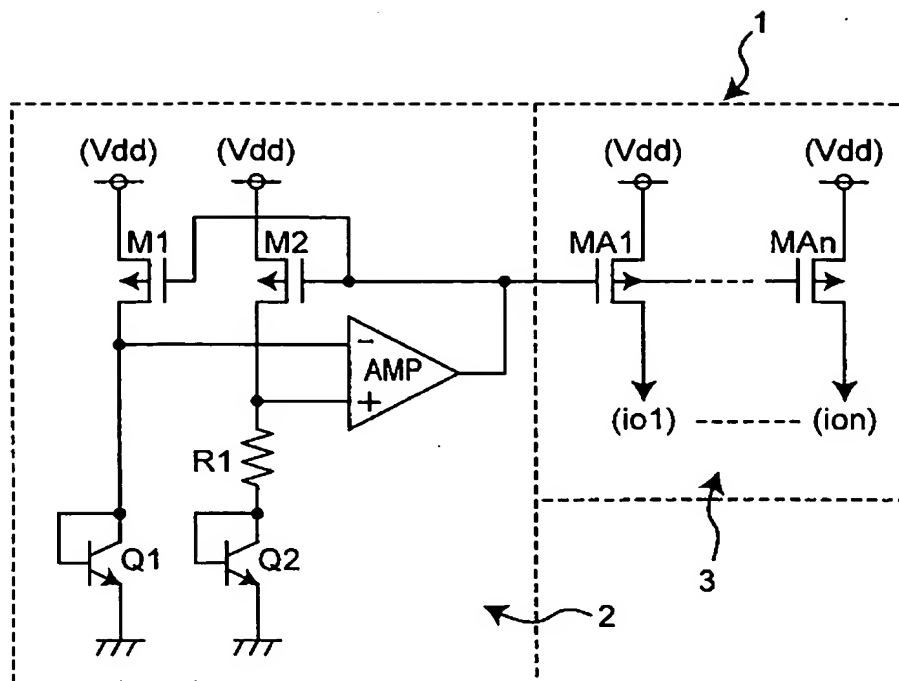




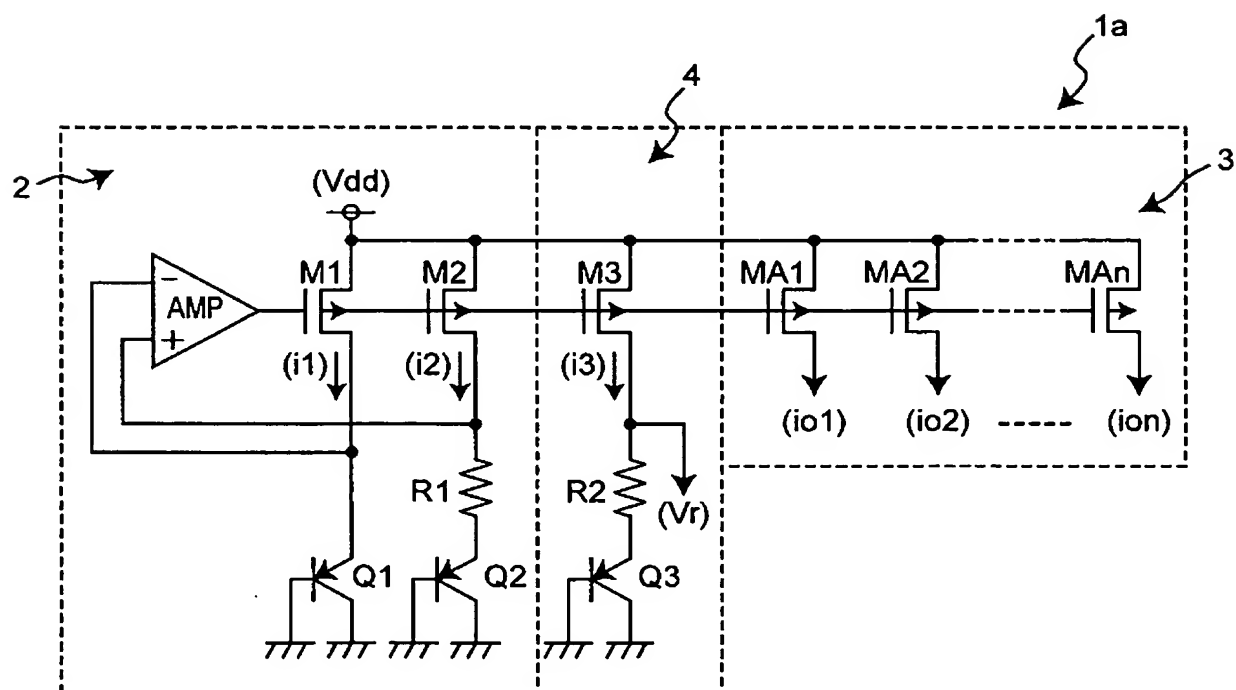


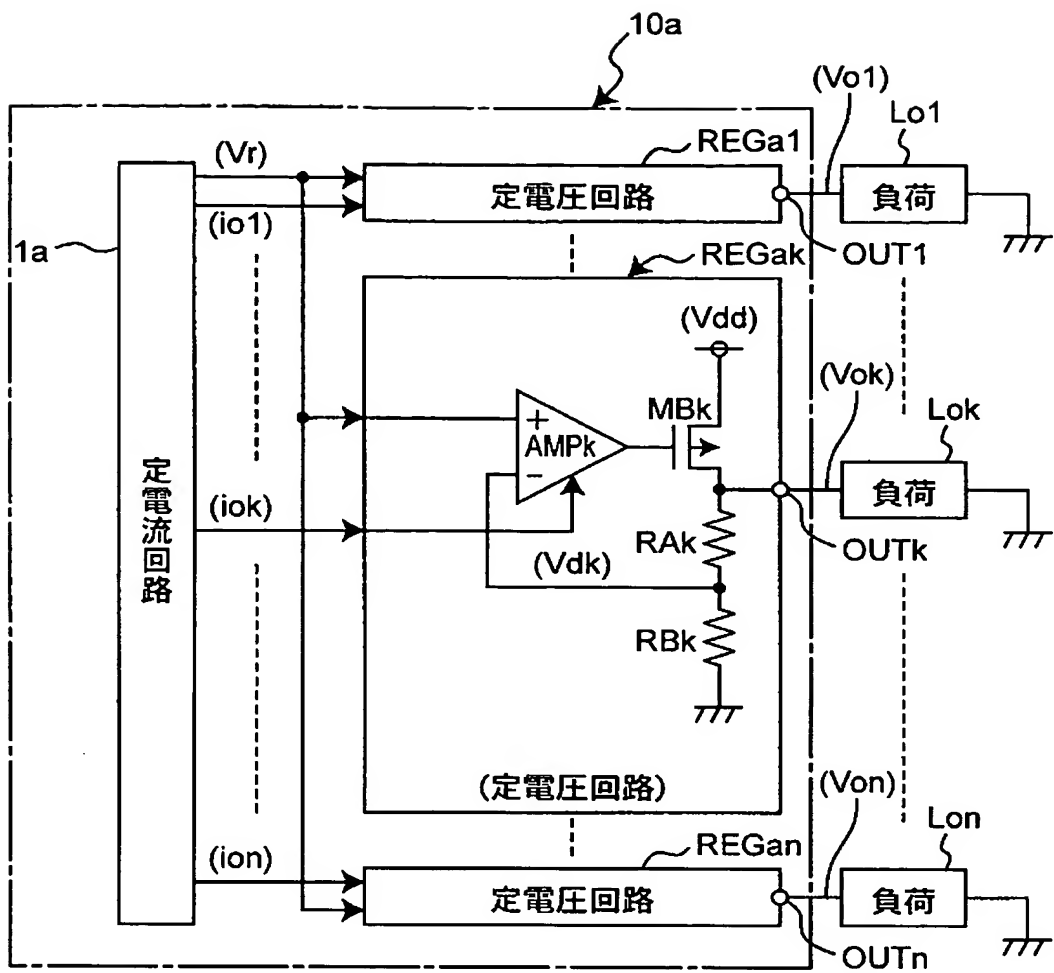
【 図 4 】

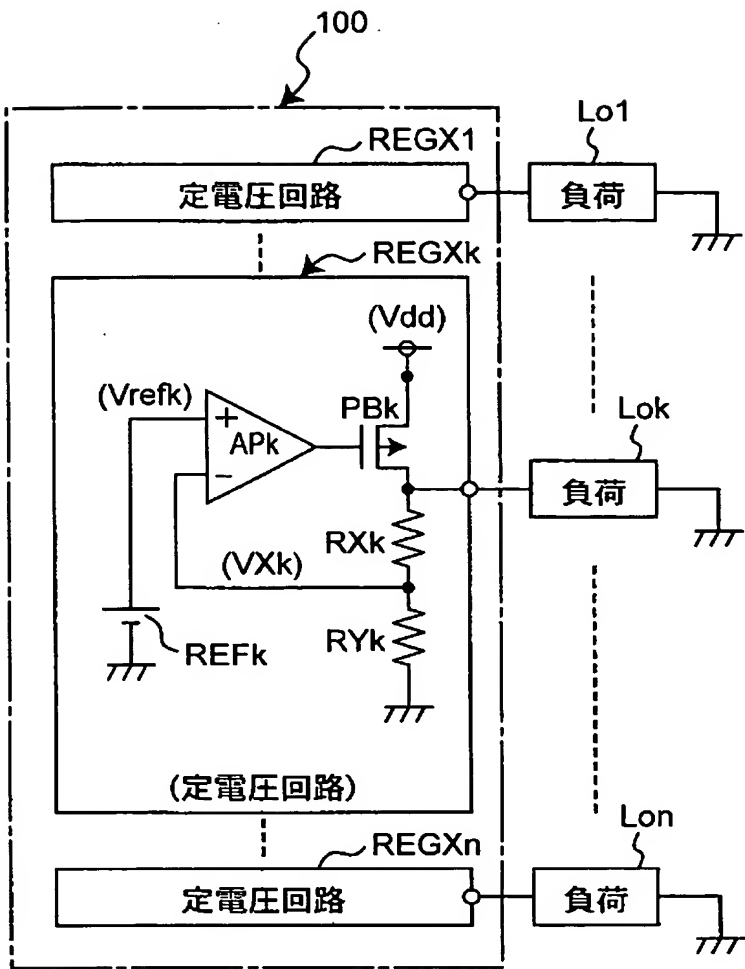


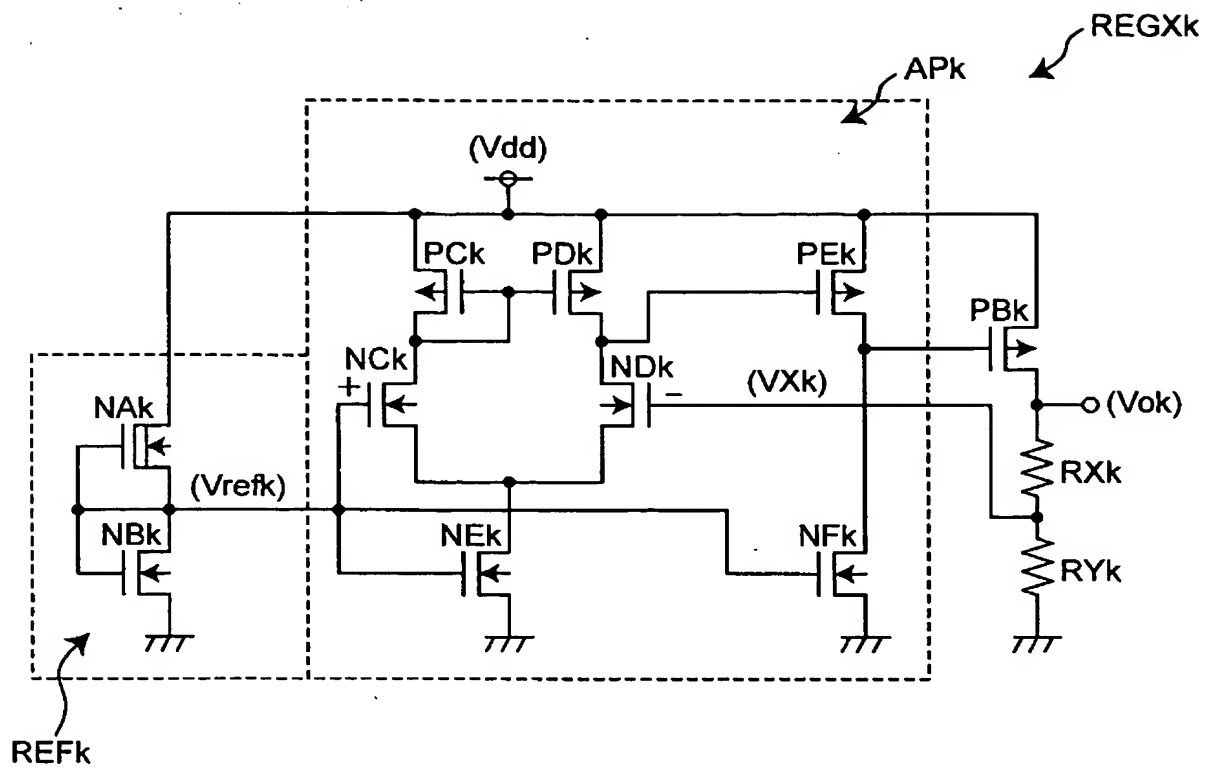


【図 6】









【要約】

【課題】 製造プロセスの変動や温度変動に対する変動を低減させて高精度の複数の定電流を生成しバイアス電流として供給することができる定電流回路及びその定電流回路を使用したシステム電源装置を得る。

【解決手段】 PMOSトランジスタM1及びM2から流れる各電流 $i_1$ 及び $i_2$ の一方の電流の変動に対して負帰還がかけられてその変動を打ち消すように、演算増幅回路AMPがPMOSトランジスタM1及びM2の動作制御を行い、PMOSトランジスタM1及びM2から対応して電流が供給される2つのpnpトランジスタQ1及びQ2に流れる電流密度の差によって生じる電位差に接続した抵抗R1に流れる定電流を基準電流とし、演算増幅回路AMPによって動作制御されたPMOSトランジスタMA1～MA $n$ で該基準電流に比例した各電流をそれぞれ生成して出力するようにした。

【選択図】 図1

0 0 0 0 0 6 7 4 7

20020517

住所変更

東京都大田区中馬込1丁目3番6号  
株式会社リコー

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/018208

International filing date: 26 September 2005 (26.09.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-296479  
Filing date: 08 October 2004 (08.10.2004)

Date of receipt at the International Bureau: 28 October 2005 (28.10.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**